

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-14397

(43) 公開日 平成5年 (1993) 1月22日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H04L 12/48				
H04Q 3/52	101	Z	9076-5K	
11/04				

8529-5K H04L 11/20 Z
9076-5K H04Q 11/04 R

審査請求 未請求 請求項の数6 (全 11 頁)

最終頁に続く

(21) 出願番号 特願平3-182946

(22) 出願日 平成3年 (1991) 6月27日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 山下 治雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 篠宮 知宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 石原 智宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 茂泉 修司

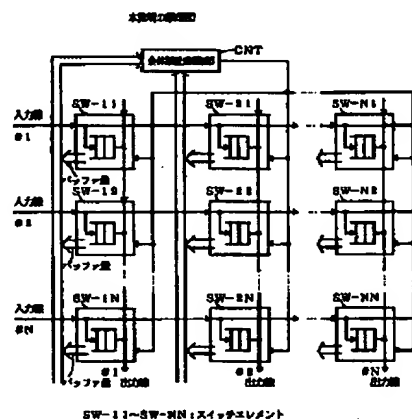
最終頁に続く

(54) 【発明の名称】 ATMセルの方路振り分け用スイッチ

(57) 【要約】

【目的】 ATM伝送方式により複数の入力線からのセルを、所望の一つの出力線に出力させるATMセルの方路振り分け用スイッチに関し、パッファ長を長くせず、また内部処理速度を上昇させないようにすることを目的とする。

【構成】 各スイッチエレメントにおける各入力線に対応してセルを滞留させるパッファに滞留したセル数を全体読出制御部で監視して該セル数に対する複数の閾値と比較し大きい方の閾値を越えたパッファから順にセルを読み出すように構成する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 ATM伝送方式により複数の入力線からのセルを、所望の一つの出力線に出力させるATMセルの方路振り分け用スイッチにおいて、各入力線に対応してセルを滞留させるバッファを含むスイッチエレメント(SW-11~SW-NN)と、該バッファに滞留したセル数を監視して該セル数に対する複数の閾値と比較し大きい方の閾値を越えたバッファから順にセルを読み出す全体読出制御部(CNT)と、を備えたことを特徴とするATMセルの方路振り分け用スイッチ。

【請求項2】 該全体読出制御部(CNT)が、各閾値を越えたバッファが複数個在るとき、該バッファ間で順送りでセルを読みだすと共に一つの閾値におけるセルの読出が所定数を越えたときにはその閾値以下の閾値のバッファから少なくとも1回は読出を行うことを特徴とした請求項1に記載のATMセルの方路振り分け用スイッチ。

【請求項3】 該全体読出制御部(CNT)が、空き状態のバッファを飛ばして読出を行うことを特徴とした請求項1又は2に記載のATMセルの方路振り分け用スイッチ。

【請求項4】 該全体読出制御部(CNT)が、特定のバッファに対しては、セルの読出頻度に重み付けを有していることを特徴とした請求項1乃至3のいずれかに記載のATMセルの方路振り分け用スイッチ。

【請求項5】 該全体読出制御部(CNT)が、特定のセル挿入要求がある場合には、この要求が維持されている期間中、各バッファからの読出を禁止し、該出力線に該特定のセルを送出することを特徴とした請求項1乃至4のいずれかに記載のATMセルの方路振り分け用スイッチ。

【請求項6】 該全体読出制御部(CNT)が、該出力線へのセル流量制御要求がある場合には、最大の連続有効セル数(N_{MAX})を定義し、読み出す連続有効セル数がこの最大値を越えないように読出を禁止することを特徴とした請求項1乃至5のいずれかに記載のATMセルの方路振り分け用スイッチ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はATMセルの方路振り分け用スイッチに関し、特にATMクロスコネク装置におけるATMセルの方路振り分け用スイッチに関するものである。

【0002】 広範囲なマルチメディアサービスを目指す高速・広帯域統合網(B-ISDN)の実現技術として最近、ATM(Asynchronous Transfer Mode:非同期転送技術)ネットワークの研究が活発に行われており、このATMネットワークは、ヘッダ部(5バイト)とペイロード部(48バイト)とで構成されたセル形式で全ての情報を統一して多くのノード、即ちATMクロスコネ

クト装置間のバスを非同期伝送するもので、S-TM(Synchronous Transfer Mode:同期転送技術)ネットワークと比較してタイムスロット割り当て処理の手間が無くなるため、分散処理制御に適合しており、柔軟性に富んだ多重化伝送が可能となる。

【0003】 そして、かかるATMネットワークにおいては、各クロスコネク装置間にリンク(高速伝送路)が張られ、更に同じ番号で示された任意の一組の端末装置(CPE)間にVP(Virtual Path)と呼ばれる割り当て経路(パス)が設定されることとなる。

【0004】 そして、このようなネットワークにおいてセルが所望のVPを経由して流れるためには、セルのヘッダ部にVPを識別するための12ビットのVPI(Virtual Path Identifier)なる識別番号領域を設け、各リンク毎に異なるVPI値をとるように、各クロスコネク装置内にVPを設定するためのクロスコネク情報とVPIとの対応関係を表したマップが用意され、各クロスコネク装置ではこのVPIを見てセルの振り分けが行われる。

【0005】 従って、このようなセルの振り分けは、ATMクロスコネク装置の動作速度に関係して来るので、できるだけ効率的に行う必要がある。

【0006】

【従来の技術】 図9には、従来から知られているATMクロスコネク装置が示されており、端末装置又はATMクロスコネク装置からの入力セルを多重化部(MUX)3でN個のセルに多重化し、それぞれVPI変換部1₁~1_Nで各セルのVPIを次のリンクに対するVPIに書き替え、該書き替えられたVPIに対応したスイッチ2の入力線に送られる。スイッチ2では、各セルのヘッダ情報に基づいて対応する出力線からセルを振り分けて出力させ、この出力線からのセルは分離部(DMUX)4で分離されて隣接したATMクロスコネク装置へのリンク又は通信装置へ送られることとなる。

【0007】 図10には、上記の各VPI変換部1₁~1_Nの構成例が示されており、入力セルのヘッダ情報(12ビット)はVPIテーブル11に送られると、このテーブル11は新たなVPIに変換し、遅延部12を通ったその他のデータと共にセレクタ(SEL)13で合成されて出力される。

【0008】 また、図11には上記のスイッチ2の構成例が示されており、N本の入力線とN本の出力線とをN²個のバッファメモリ(例えばFIFOメモリ)BM₁₁~BM_{NN}を用いてマトリックス構成し、各クロスポイントにはセル中のVPIの判定部JD₁₁~JD_{NN}が設けられている。そして、この判定部JD₁₁~JD_{NN}において、入力線からのセルのVPIに基づいて対応する出力線を検出して制御部(図示せず)からの書込制御により該VPIに相当するクロスポイントのバッファメモリにそのセルを一旦書き込み、更に該制御部からの読出制御

により、書き込んだセルを所定の順番で読み出して対応する出力線から出力させるようになっている。

【0009】

【発明が解決しようとする課題】このようなATMセルの方路振り分け用スイッチにおいて、パスト的なセルが到来するトラヒックに対してもセル廃棄を生じないようにするためには、各バッファのバッファ長を長くする必要があり、バッファ長を長くすると、ハードウェア規模の増大と消費電力の増大をきたすという問題点があった。

【0010】また、バッファ長を短くする方式としては、複数の入力線と出力線に対して、バッファを共有化する手法が知られているが、この場合には、内部信号処理の高速化又は多ポートメモリが必要になってしまい、装置規模が大きくなってしまいコストが高くてついでしまう。

【0011】従って、本発明は、ATM伝送方式により複数の入力線からのセルを、所望の一つの出力線に出力させるATMセルの方路振り分け用スイッチにおいて、バッファ長を長くせず、また内部処理速度を上昇させないようにすることを目的とする。

【0012】

【課題を解決するための手段及び作用】図1は、本発明に係るATMセルの方路振り分け用スイッチの構成を概念的に示したもので、本発明では、各入力線に対応してセルを滞留させるバッファを含むスイッチエレメントSW-11～SW-NNと、該バッファに滞留したセル数を監視して該セル数に対する複数の閾値と比較し大きい方の閾値を越えたバッファから順にセルを読み出す全体読出制御部CNTと、を備えている。

【0013】従って、スイッチエレメントSW-11～SW-NNにそれぞれ含まれたバッファに対応するATMセルが蓄積されて行く間、全体読出制御部CNTは各バッファに滞留されているセルの数を絶えず監視しており、その滞留セル数をいくつかの閾値と比較する。

【0014】その結果、全体読出制御部CNTは、大きい方の閾値を越えているバッファから順にATMセルを読み出すことにより、各バッファのバッファ長を必要以上に長いものを使用せずに済むことになる。

【0015】また、本発明では、上記の場合において、全体読出制御部CNTが、各閾値を越えたバッファが複数個有るとき、それらのバッファ間で順送りでセルを読み出すと共に一つの閾値におけるセルの読出が所定数を越えたときにはその閾値以下の閾値のバッファから少なくとも1回は読出を行うようにすることができ、このような場合には、監視した時点では滞留セル数が少なくても読出を行っている間に滞留セル数が増大し得るバッファの滞留セル数を減少させることができる。

【0016】更に本発明では、上記の場合において、全体読出制御部CNTが、空き状態のバッファを飛ばして読

出を行うことにより効率的な読出動作を実現することができる。

【0017】更に本発明では、上記の場合において、全体読出制御部CNTが、特定のバッファに対しては、セルの読出頻度に重み付けを行えば、特定の出力線からのATMセルが優先して方路振り分け用されることとなる。

【0018】更に本発明では、上記の場合において、全体読出制御部CNTが、特定のセル挿入要求がある場合には、この要求が維持されている期間中、各バッファから10の読出を禁止し、出力線に該特定のセルを送出することもできる。

【0019】更に本発明では、上記の場合において、全体読出制御部CNTが、該出力線へのセル流量制御要求がある場合には、最大の連続有効セル数 N_{MAX} を定義し、読み出す連続有効セル数がこの最大値を越えないように読出を禁止することも可能であり、このようにすることにより、各バッファがオーバーフローするというような状態を回避することができる。

【0020】

20 【実施例】図2は、図1に示したスイッチエレメントSW-11～SW-NNのそれぞれの実施例をSWで総称して示したもので、この実施例では、入力線INHW（ハイウェイ）からのデータを蓄積するバッファ1と、入力線からのATMセルが当該スイッチエレメントSWの出力線OUTHWへ出力すべきセルであるか否かをセル内のヘッダ部から判定するための判定部2と、判定部2からの判定結果によりバッファ1に対して書込アドレス信号WA及び書込インーブル信号WEを与えると共に書込終了時点で書込パルスWPを出力する書込制御部3と、後述する読出制御信号

30 SWCONTにより当該バッファ1からの読出が要求されたとき、読出アドレス信号RA及び読出インーブル信号REをバッファ1に与えると共に読出時に読出パルスRPを発生する読出制御部4と、この読出制御部4からの指示によりバッファ1から読み出したセルを通過させるか又は上方の別のスイッチエレメントからの拡張入力からのセルを通過させるセレクタ(SEL)5と、書込制御部3からの書込パルスWPによりカウントアップし読出制御部4からの読出パルスRPによりカウントダウンすることによりバッファ1の滞留セル数aをカウント出力するカウンタ6

40 と、カウントしたセル数aを受けてこのセル数aが複数の閾値と比べてどの範囲に属するかを判定するためのデコーダ7とで構成されている。尚、デコーダ7の閾値としては、一例として、空きを示すレベルEMPと、EMP以上のレベルX1と、X1より大きいレベルX2とを用いている。また、デコーダ7の出力信号は、 $a < 1$ 、 $1 \leq a < X1$ 、 $X1 \leq a < X2$ の3つに分けてそれぞれに対応した信号線により出力してもよいし、 $a < 1$ 、 $1 \leq a < X1$ 、 $X1 \leq a < X2$ 、 $X2 \leq a$ の4つの判定結果を2ビットで出力してもよい。

50 【0021】図3は、図1に示した全体読出制御部CNT

の実施例を示したもので、この実施例では、スイッチエレメントSW-11～SW-NNが8個在るものとしてスイッチエレメントSW-1～SW-8内の各デコーダ7からのバッファレベルEMP, X1, X2をラッチするラッチ回路11-1～11-8と、このラッチ回路11-1～11-8でラッチされたバッファレベルを今度はレベルEMP, X1, X2毎にスイッチエレメントSW-1～SW-8を集めてラッチするラッチ回路120～122と、これらのラッチ回路120～122の中からレベルの高い順に読出制御信号SWCONTを発生するための読出制御信号発生部13と、最も高いレベルX2を読み出したときの読出パルスをカウントして発生部13に対して制御信号を与えるカウンタ14とで構成されている。

【0022】このように図2及び図3に示した実施例の動作においては、ATMセルが入力線INHWからスイッチエレメントSWに入力されると、判定部2においてそのセルが当該スイッチエレメントSWを介して出力線OUTHWから出力されるべきものであるか否かが判定され、そうでなければ素通りして次のスイッチエレメントで別途判定されることとなるが、出力線OUTHWから出力されるべきものであることが判定されたときには、書込制御部3から書込アドレス信号WA及び書込イネーブル信号WEからバッファ1に送られ、バッファ1は入力セルを格納すると共にこのときに書込制御部3から出力される書込パルスWPによりカウンタ6がカウントアップする。

【0023】また、バッファ1の読出は、読出制御信号SWCONTを受けた読出制御部4が読出アドレス信号RA及び読出イネーブル信号REをバッファ1に与えることにより行われ、同じく読出制御部4からの制御を受けたセクタ5がバッファ1から読み出したセルを通過させることにより出力線OUTHWから出力させるが、このとき読出制御部4からは読出パルスRPがカウンタ6に与えられるのでカウンタ6はカウントダウンされることとなる。

【0024】従って、スイッチエレメントSWのカウンタ6は常に自分のバッファ1の滞留セル数aをカウント出力することとなり、これをデコーダ7が判別してそれぞれのバッファレベルEMP, X1, X2として図3の全体読出制御部CNTに与えることとなる。

【0025】この全体読出制御部CNTでは、各スイッチエレメントSW-1～SW-8の滞留セル数aをラッチ回路11-1～11-8でラッチし、更に各レベルEMP, X1, X2毎にラッチ回路120, 121, 122で各スイッチエレメントSW-1～SW-8の滞留セル数aをラッチした上で読出制御信号発生部13に与える。

【0026】従って、発生部13では、例えば次のような処理を行うことができる。①まず、滞留セル数aが閾値X2を越えているスイッチエレメントが存在するときには、そのスイッチエレメントを指定するため、8本の並列信号の内の対応する1本を“H”レベルにする。また、かかるスイッチエレメントが複数個存在するときに

は、所定の順序でスイッチエレメントを指定する信号を出力する。そして、閾値X2についてのスイッチエレメントのバッファのセル読出を実行した後は、閾値X1についても同様にして行う。②但し、例えば閾値X2におけるセル読出が所定のN1回続いたときには、図3に示すようにこれをカウントしているカウンタ14からの制御信号により、その下の閾値X1のいずれかのスイッチエレメントのバッファからセル読出を行うようにする。③空きレベルEMPのバッファについては読出のための制御信号SWCONTは送らないようにする。

【0027】このようにして読出制御信号SWCONTが全体読出制御部CNTから各スイッチエレメントSWに送られることになる。

【0028】図4は、一定のスイッチエレメントに重みを付けた場合の実施例を示しており、読出制御信号発生部13は図3に示したものと同じものを用い、従ってその入力信号も閾値EMP, X1, X2毎のスイッチエレメント群の滞留セル数aとなっている。但し、この実施例ではスイッチエレメントSW-1の読出を優先的に行うため、読出制御信号発生部13にはスイッチエレメントSW-2～SW-8からの滞留セル数が与えられている。

【0029】そして、スイッチエレメントSW-1の滞留セル数aはラッチ回路11-1でラッチされ、このラッチ出力と読出制御信号発生部13からのスイッチエレメントを指定する読出制御信号SWCONTとがそれぞれANDゲート15-1～15-8で重み付け信号との論理積がとられる。但し、この場合、ANDゲート15-1への重み付け信号は反転して与えられている。

【0030】従って、通常は“H”レベルと“L”レベルとが交互になっている重み付け信号がANDゲート15-1～15-8に与えられると、図5に示すように“L”レベル期間AにおいてはANDゲート15-1のみがイネーブル状態となってスイッチエレメントSW-1の滞留セル数aが読出制御信号SWCONTとしてスイッチエレメントSW-1に優先的に出力され、“H”レベル期間BにおいてスイッチエレメントSW-2～SW-8に対する読出制御信号SWCONTが発生される。

【0031】また、図5に示すようにスイッチエレメントSW-1の滞留セル数が空のEMPであったときには、図示の期間Aを点線の“L”レベルから実線の“H”レベルに変え、スイッチエレメントSW-2～SW-8の滞留セル数が空のEMPであったときには、図示の期間Bを点線の“H”レベルから実線の“L”レベルに変えることにより空のスイッチエレメントに対する無駄な読出アクセス動作を省略することができる。

【0032】図6は空セルを含む特別のセルを挿入する実施例を示したもので、図示のように、或るスイッチエレメントSWに特別のセルが発生したとすると、この特別セルを挿入する期間を規定した特別セル挿入要求信号が全体読出制御部CNTに与えられ、これにより全体読出

制御部CNTは読出制御信号発生部13の出力信号をANDゲートで禁止することができ、この禁止期間中に特別セルがスイッチエレメントSWを通過して出力線へ出力されることとなる。

【0033】図7は、全体読出制御部CNTにおける出力線へのセル流量制御要求がある場合の実施例を示したもので、この実施例では、図3に示した読出制御信号発生部13からの8ビット並列出力の読出制御信号SWCONTをORゲート21を介してアップカウンタ22でカウントし最大の連続有効セル数 N_{MAX} でアップカウンタ22のキャリイ出力が発生するように設定しておき、このキャリイ出力がインバータ23及びANDゲート24を経ることにより最大の連続有効セル数 N_{MAX} に達したときには読出制御信号SWCONTをオール“0”にして強制的に読み出しを禁止させる。尚、カウンタ22のリセットは、読出制御信号SWCONTを受けるNORゲート25と、このNORゲート25の出力信号と図8のタイムチャートに示すように1セルの読出期間を規定するセルパルスとを入力するANDゲート26とを介することにより読出制御信号発生部13からの8ビット並列信号がオール“0”のときに行われることとなる。

【0034】

【発明の効果】以上のように本発明に係るATMセルの方路振り分け用スイッチによれば、各スイッチエレメントにおける各入力線に対応してセルを滞留させるバッファに滞留したセル数を全体読出制御部で監視して該セル数に対する複数の閾値と比較し大きい方の閾値を越えたバッファから順にセルを読み出すように構成したので、一つの出線に出力されるべきセルが滞留している複数のバッファからの読出し制御を効率良く行うことができ、特に、バッファ長が有限のために起こるセルの廃棄を極力避けることができる。また、パースト的に到来するATMセルに対して必要なバッファ長の削減が可能であり

ハードウェアの削減・低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】本発明に係るATMセルの方路振り分け用スイッチを原理的に示したブロック図である。

【図2】本発明に係るATMセルの方路振り分け用スイッチに用いる各スイッチエレメントの実施例を示したブロック図である。

【図3】本発明に係るATMセルの方路振り分け用スイッチに用いる全体読出制御部の実施例を示した図である。

【図4】本発明に用いる全体読出制御部の変形例を示したブロック図である。

【図5】図5の実施例に用いる重み付け用制御信号の波形図である。

【図6】本発明において特別セルを挿入するときの実施例を示したブロック図である。

【図7】本発明においてセル流量に制限を設けたときの全体読出制御部の実施例を示した回路図である。

【図8】図7の実施例の動作を説明するためのタイムチャート図である。

【図9】本発明及び従来例のATMクロスコネクト装置の一般的な構成を示したブロック図である。

【図10】ATMクロスコネクト装置に用いられる一般的なVPI変換部の構成を示したブロック図である。

【図11】従来例のATMセルの方路振り分け用スイッチの構成を示したブロック図である。

【符号の説明】

SW-11 ~ SW-NN スイッチエレメント

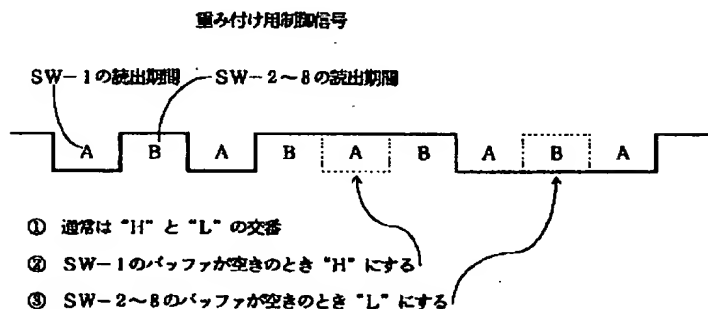
30 CNT 全体読出制御部

INHW 入力線

OUTHW 出力線

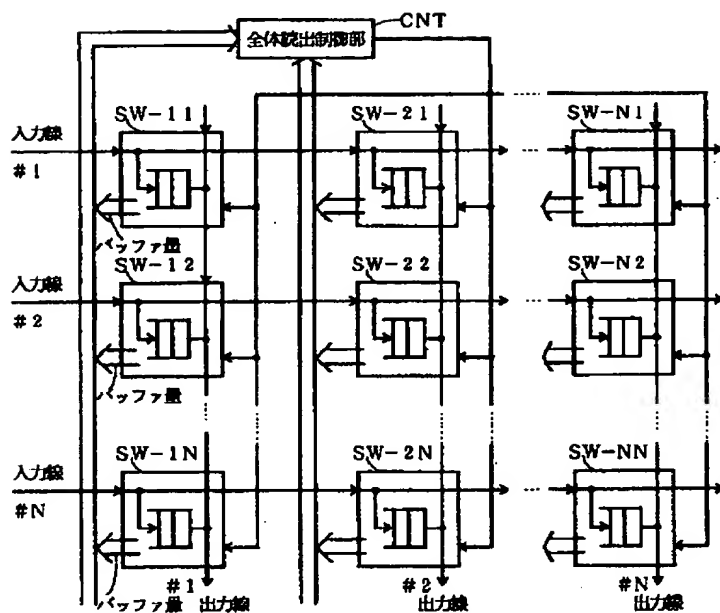
図中、同一符号は同一又は相当部分を示す。

【図5】



【図1】

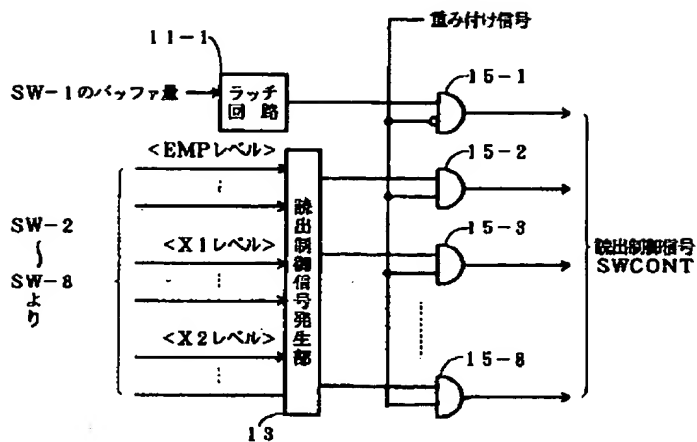
本発明の原理図



SW-11~SW-NN: スイッチエレメント

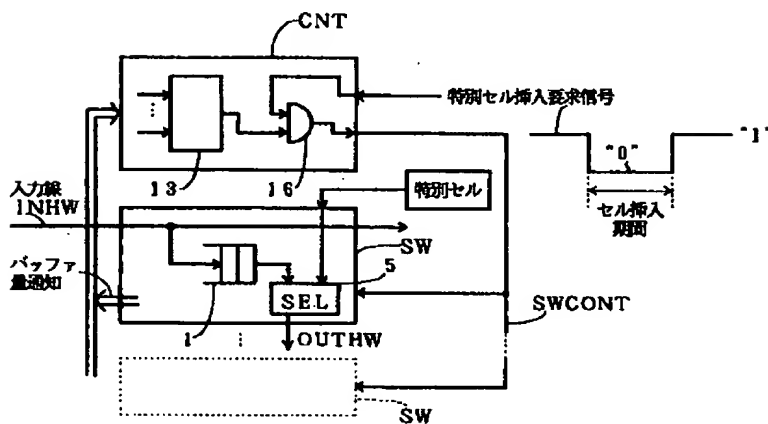
【図4】

スイッチエレメントに重みを付けた実施例



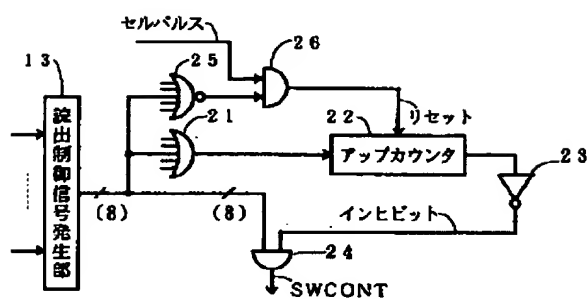
【図6】

特別セル挿入時の実施例



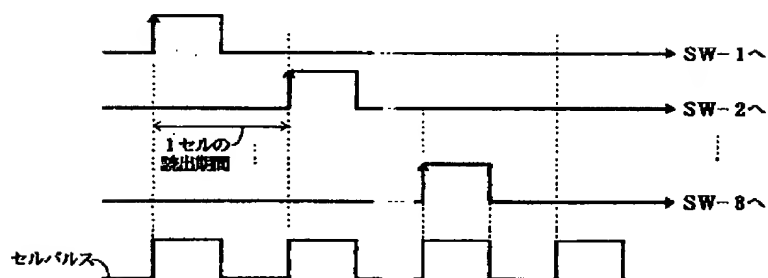
【图7】

セル流量に制限を設けた実施例



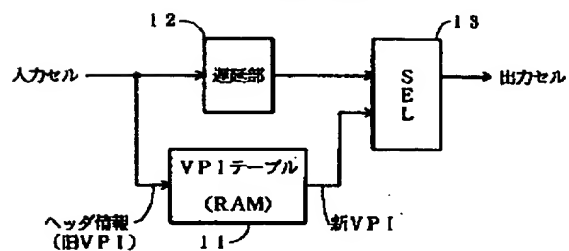
【图8】

読出制御信号例



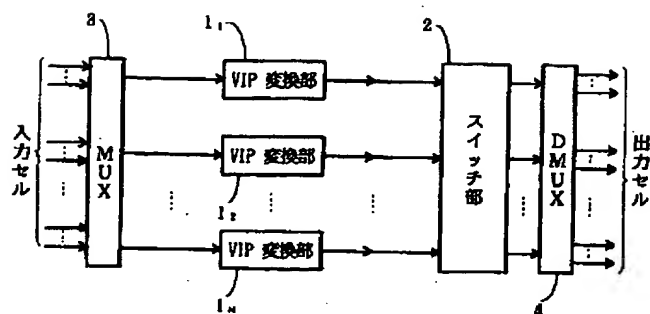
【图 10】

VPI 変換部の構成図



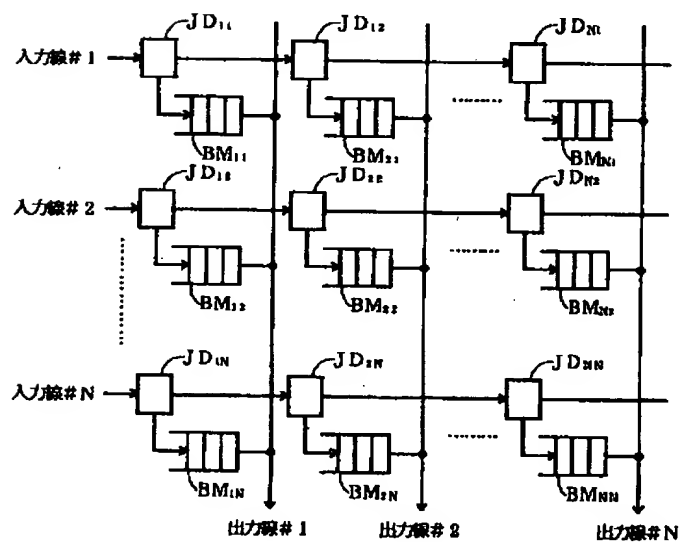
【図9】

ATMクロスコネクタ装置



【図11】

従来のスイッチの構成図



フロントページの続き

(51)Int. Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

9076-5K

H04Q 11/04

E

(72)発明者 近藤 竜一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 脇坂 孝明

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 須藤 俊之

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

BEST AVAILABLE COPY